

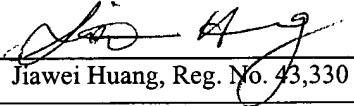


2782
3/16/01
PATENT
Docket No. JCLA6707
page 1

In re application of: CALVIN GUEY et al.
Application No.: 09/750,465
Filed: December 28, 2000
For: APPARATUS AND METHOD FOR EXECUTING
A BLOCK DATA TRANSFER INSTRUCTION
INSIDE PROCESSOR
Examiner:
Art Unit:

I hereby certify that this correspondence
and all marked attachments are being
deposited with the United States Postal
Service as first class mail in an envelope
addressed to: Assistant Commissioner for
Patents, Washington, D.C. 20231, on

March 6, 2001
(Date)


Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

RECEIVED

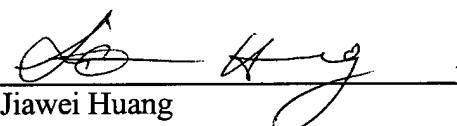
MAR 14 2001

Technology Center 2100

Transmitted herewith is a certified copy of Taiwan Application No. 89125862 filed on
December 05, 2000.

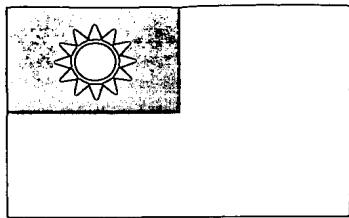
A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees
required, including any fees for additional extension of time, or credit overpayment to Deposit
Account No. 50-0710 (Order No. JCLA6707). A duplicate copy of this sheet is enclosed.


Jiawei Huang
Registration No. 43,330

Please send future correspondence to:
J. C. Patents
1340 Reynolds Ave., #114
Irvine, CA 92614
(949) 660-0761

JCLA6707
09/750,465



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2000 年 12 月 05 日

Application Date

RECEIVED

MAR 14 2001

Technology Center 210

申 請 案 號：089125862

Application No.

申 請 人：智原科技股份有限公司

Applicant(s)

局 長

Director General

陳 明 邦

發文日期：西元 2001 年 1 月 10 日
Issue Date

發文字號：09011000827
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明型專利說明書

一、發明 新型 名稱	中 文	適用於執行處理器之區塊資料移轉指令之裝置 與方法
	英 文	
二、發明 創作 人	姓 名	1 桂念慈 2 汲世安 3 王裕閔
	國 籍	中華民國
	住、居所	1 台北縣新莊市中原里中信街 87 號 2 樓 2 新竹市光復路一段 531 巷 72-11 號 4 樓 3 台中市榮華街 86 號
三、申請人	姓 名 (名稱)	智原科技股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區展業一路 9 號 7 樓之 3
代表人 姓名	蔡明介	

四、中文發明摘要（發明之名稱：

適用於執行處理器之區塊資料移轉
指令之裝置與方法

本發明提供一種適用於執行處理器之區塊資料移轉指令之裝置與方法，其可針對暫存器群組(Register List)的解碼資料(Decode Information)，找出必須處理的暫存器數量與必須處理之暫存器的位址，僅針對這些指定的暫存器作資料的處理，可大幅減少程式碼的大小，並且可減少記憶體與處理器的存取時脈信號，也就是可大幅提升此處理器的操作效能。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝
訂
線

英文發明摘要（發明之名稱：

五、發明說明(一)

本發明是有關一種適用於執行處理器(Processor)指令之裝置及方法，且特別是有關一種適用於執行處理器(Processor)之區塊資料移轉(Block Data Transfer)指令之裝置及方法。

處理器(Processor)是目前在任何的電子裝置中，皆是不可或缺且廣泛使用的元件。例如，在個人電腦中有中央微處理器(Central Processing Unit)與許多針對不同功能之處理器。而隨著電子裝置的功能日新月異，功能越來越強，其相對地要求處理器所扮演的角色則愈來愈重要，而處理器所需要的功能則也越來越強。

處理器在執行時，為了要達到以最高的執行效能，因此，目前的要求即往一個時脈內能處理多少的指令(Instructions)發展，並且，為此目的，也要求縮短所處理的一個時脈所需的時間。為達到此目的，則在同一個時脈時，此處理器將會同時處理許多的指令。

在所有的指令中，有一種特定的指令，係針對整個區塊(Block)的暫存器Registers做一資料上的處理，例如對整個區塊中的暫存器作移轉(Transfer)的動作，以讀取或是寫入暫存器內。而以往處理方法，例如針對 16 個暫存器而言，此指令係由一具有 16 位元的暫存器群組(Register List)的解碼資訊(Decode Information)所達成。然而，處理器若是執行此指令，則必須將所有在列表中的暫存器，每一個都完成一樣的動作，例如將所存的資料移轉等等。這樣處理的方式，若是針對 16 個暫存器皆如此處理，那還

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

線

五、發明說明(✓)

不至於浪費記憶體存取的時間。然，若是需要處理的暫存器少於 16 個，甚至只有 1 個，則每次都依規格地針對此 16 個暫存器處理，如此，將會導致整個處理器的效能減少，因為必須花費更多的時間來存取記憶提，也就花費更多的操作時脈(Memory Access Cycles)。而執行以前的技術，程式必須使用 16 個指令方能完成存取，這些指令會使程式碼(Program Code)增加，浪費程式碼的大小。

有鑑於此，本發明提供一種適用於執行處理器之區塊資料移轉指令之裝置與方法，其可針對暫存器群組(Register List)的解碼資料(Decode Information)，找出必須處理的暫存器數量與必須處理之暫存器的位址，僅針對這些指定的暫存器作資料的處理，可大幅減少程式碼的大小，並且可減少記憶體的存取時脈信號，也就是可大幅提升此處理器的操作效能。

為達上述之目的，本發明提供一種適用於執行處理器之區塊資料移轉指令之裝置，用以接收一解碼資料，其中該解碼資料至少包括 N 位元。此裝置包括一加法器、一計數器、一暫存器編號產生器與一暫存器群組。此加法器用以接收解碼資料之 N 位元，並將 N 位元之位元值相加，得到一初始計數值。此計數器用以接收初始計數值，並根據初始計數值以遞減方式每次遞減一，並據以輸出一計數控制信號。暫存器編號產生器係根據計數控制信號產生與初始計數值數量相等之複數筆暫存器編號(ID)，這些暫存器編號係對應於在解碼資料中之 N 位元之位元值為“1”之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(九)

位元之位置。記憶體係用以儲存資料。暫存器群組係包括複數個暫存器，其中暫存器群組係用以接收暫存器編號(ID)，並根據暫存器編號，使記憶體與對應於暫存器編號之暫存器互相存取所儲存的資料。

上述之區塊資料移轉指令之裝置，更包括一位址計算器，用以根據該解碼資料產生一位址信號，並據以輸出至記憶體，其中對應於上述之暫存器編號之暫存器則與記憶體對應位址信號之位址相互存取資料。

上述的區塊資料移轉指令之裝置，其中暫存器編號產生器更包括 N 個邏輯單元，用以產生與該初始計數值數量相等之該些暫存器編號(ID)，其中當計數器係從初始計數值每次遞減一直到 0，其中，N 個邏輯單元將根據 N 位元之位元值為“1”之位元位置產生對應之暫存器編號(ID)。

為達上述之目的，本發明提供一種區塊資料移轉指令之方法，用以接收至少具有 N 位元之一解碼資料，此方法包括將 N 位元之位元值相加，得到一初始計數值；根據初始計數值產生與初始計數值數量相等之複數筆暫存器編號(ID)，上述暫存器編號係對應於 N 位元之值為“1”之位元之位置，以及根據暫存器編號(ID)，據以連結對應於暫存器編號之複數個暫存器與一記憶體，以使記憶體與暫存器間能互相存取所儲存的資料。

上述之適用於執行處理器之區塊資料移轉指令之方法，其中在產生該些暫存器編號(ID)步驟中，包括根據該初始計數值執行一遞減計數之操作，該計數操作係從該初

(請先閱讀背面之注意事項再填寫本頁)

裝
一
訂
線

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明(4)

始計數值遞減到 0；以及每執行一次該計數操作時，則根據該 N 位元之位元值為“1”之位元位置產生該些暫存器編號(ID)。

上述之區塊資料移轉指令之方法，其中更包括根據該解碼資料產生一位址信號，並據以對應於該些暫存器編號之該些暫存器則與該記憶體對應該位址信號之位址相互存取資料。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖係顯示本發明一較佳實施例之適用於處理處理器之區塊資料移轉指令之裝置與方法。

第 2 圖係顯示在第 1 圖中的暫存器編號產生器的處理流程較佳實施例。

圖式之標號說明：

加法器 110

計數器 120

暫存器編號產生器 130

位址計算器(Address Calculator)140

記憶體 150

暫存器位址列表裝置 160

較佳實施例說明

五、發明說明(5)

本發明提供一種適用於處理處理器之區塊資料移轉指令之裝置與方法，其可針對暫存器群組(Register List，底下簡稱為 RL)的解碼資料(Decode Information)，找出必須處理的暫存器數量與必須處理之暫存器的位址，僅針對這些指定的暫存器作資料的處理。

請參照第 1 圖，係顯示本發明一較佳實施例之適用於處理處理器之區塊資料移轉指令之裝置與方法。在此實施中係以必須針對 16 個暫存器作資料處理的暫存器群組 RL 解碼資料為例，如圖示上的 RL 解碼資料之 16 個位元。然，本實施例僅針對 16 個暫存器的資料處理做說明，並非限制本發明之範圍，也可針對 32 個暫存器或是 64 個暫存器等等資料作處理，也不脫離本案發明之精神。

首先，先將 RL 解碼資料傳送到一加法器 110，並將此 RL 解碼資料的所有位元值相加，也就是計算此 RL 解碼資料總共有多少個為“1”的位元，而此值係為計數器 120 的初始計數值。此位元數為“1”的資料係代表要做處理的暫存器編號，例如，若是 RL 解碼資料從右到左算起第 1 個位元為“1”，則代表第 1 個暫存器要處理。之後，以此初始計數值係傳到計數器 120 中，以作為計數的依據，並據以決定總共有多少個暫存器在此指令中待處理。也就是決定總共需要多少次存取記憶體及存到暫存器之動作(而此總共所費時間則取決於記憶體的命中率 Hit Rate)。

在每一次存取記憶體及儲存到暫存器動作之後，此計數器 120 將會從上述的初始計數值開始往下遞減一，當此

(請先閱讀背面之注意事項再填寫本頁)

裝
一
線
訂

五、發明說明(6)

計數器 120 的值減到 0 時，則代表此指令已完成。因此，最多將會處理 16 次(此依解碼資料所要處理資料移轉的暫存器數量有關)。

在計數器 120 的值等於 0 之前，每一個的動作都會從暫存器編號產生器 130 產生一暫存器編號(Register ID)。同時，位址計算器(Address Calculator)140 將會傳送資料之位址到記憶體 150，而記憶體 150 則會根據此位址而傳出/接收(Return/receive)資料，而此資料係傳到根據暫存器編號所指定暫存器群組內之一暫存器，或是從暫存器位址群組 160 內對應於暫存器編號之一暫存器將資料傳出。此端視資料的傳送係傳出或是送入記憶體 150 中。因此，根據暫存器編號產生器 130 所產生一暫存器編號(Register ID)，可以掌握暫存器位址群組 160 內那些暫存器與記憶體 150 之間要作資料存取之動作。

而上述的操作，可在圖示上說明。例如計數器 120 會以遞減方式做一計數的操作，而每次之計數，皆會藉計數器 120 之一計數控制信號，由線路 122 控制暫存器編號產生器 130，據以產生暫存器編號(Register ID)的個數。因此，根據位址計算器 140 所提供的計算位址與由暫存器編號產生器 130 所產生的暫存器編號，則可讓暫存器位址群組 160 內對應於所產生的暫存器編號之暫存器所儲存的資料存到記憶體 150 中，或是將記憶體 150 對應於計算位址存到暫存器編號所對應之暫存器中。

而暫存器編號產生器 130 的處理流程較佳實施例，則

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

如第 2 圖所示，其中根據線路 122 所傳來的第 1 圖中的計數器 120 之計數控制信號得知，此計數器 120 之計數值是否已遞減到 0，如步驟 210 所示。若是 0 則代表已完成，但若並非 0，則代表至少還有一個以上的暫存器需要操作。接著在步驟 212 中判斷 RL 解碼資料之第 1 個位元是否為“1”，若是，則代表針對暫存器群組 RL 中的第 1 個暫存器要存取，因此在步驟 213 中設定暫存器編號(ID)以利存取，在此先設定為 ID=0。而後將暫存器群組 RL 的 1 位元設定為“0”，以免重複，也就是下一個計數值將不會再針對暫存器群組 RL 中的第 1 個暫存器操作。並且將計數器的值減一。

接著由線路 220 繞回原處，再進行步驟 210，判斷計數值是否為 0。若是 0 則代表已完成，但若並非 0，則再進行步驟 212 之判斷 RL 解碼資料的第 1 位元是否為“1”。由於如上述之步驟可知，若原來的 RL 解碼資料為“1”，則經過步驟 213 之後將會設定為“0”，因此，會接著進行下一步驟，即步驟 214，判斷 RL 解碼資料的第 2 位元是否為“1”，也就是判斷是否要設定此暫存器的操作，若是，則設定暫存器編號 ID=1，同樣地，在步驟 215 設定 ID 之後會將暫存器群組 RL 的第 2 位元設定為“0”。並且將計數器的值減一。若第 2 位元為“0”，則如前所述進行第 3 位元的判斷，亦即對第 3 個暫存器判斷是否需要處理。如此一直進行到計數器 120 的計數控制信號顯示計數器 120 已遞減到 0。上述的程序進行之次數與上述初始計數值相

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

等。

在這樣的架構下，若是計數器 120 的初始計數值為多少，則表示有多少的暫存器將會作資料移轉的動作。本發明提供一種適用於處理處理器之區塊資料移轉指令之裝置與方法，其可針對暫存器群組(Register List)的解碼資料(Decode Information)，找出必須處理的暫存器數量與必須處理之暫存器的位址，僅針對這些指定的暫存器作資料的處理，可大幅減少程式碼的大小，並且可減少記憶體的存取時間，也就是可大幅提升此處理器的操作效能。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1. 一種適用於執行處理器之區塊資料移轉指令之裝置，用以接收一解碼資料，其中該解碼資料至少包括 N 位元，該裝置包括：

一加法器，用以接收該解碼資料之該些 N 位元，並將該些 N 位元之位元值相加，得到一初始計數值；

一計數器，用以接收該初始計數值，並根據該初始計數值以遞減方式每次遞減一，並據以輸出一計數控制信號；

一暫存器編號產生器，根據該計數控制信號，產生與該初始計數值數量相等之複數筆暫存器編號(ID)，該些暫存器編號係對應於在該解碼資料中之該些 N 位元之位元值為“1”之該些位元之位置；以及

一記憶體，用以儲存資料；

一暫存器群組，包括複數個暫存器，其中該暫存器群組，係用以接收該些暫存器編號(ID)，並根據該些暫存器編號，使該記憶體與對應於該些暫存器編號之該些暫存器互相存取所儲存的資料。

2. 如申請專利範圍第 1 項所述適用於執行處理器之區塊資料移轉指令之裝置，其中更包括一位址計算器，用以根據該解碼資料產生一位址信號，並據以輸出至該記憶體，其中對應於該些暫存器編號之該些暫存器則與該記憶體對應該位址信號之位址相互存取資料。

3. 如申請專利範圍第 1 項所述適用於執行處理器之區塊資料移轉指令之裝置，其中該暫存器編號產生器更包括

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

N 個邏輯單元，用以產生與該初始計數值數量相等之該些暫存器編號(ID)，其中

當該計數器係從該初始計數值每次遞減一直到 0，其中，該 N 個該些邏輯單元將根據該 N 位元之位元值為“1”之位元位置產生對應之該些暫存器編號(ID)。

4. 一種適用於執行處理器之區塊資料移轉指令之方法，用以接收至少具有 N 位元之一解碼資料，該方法包括：

將該些 N 位元之位元值相加，得到一初始計數值；

根據該初始計數值產生與該初始計數值數量相等之複數筆暫存器編號(ID)，該些暫存器編號係對應於該些 N 位元之值為“1”之該些位元之位置；

；以及

根據該些暫存器編號(ID)，據以連結對應於該些暫存器編號之複數個暫存器與一記憶體，以使該記憶體與該些暫存器間能互相存取所儲存的資料。

5. 如申請專利範圍第 4 項所述適用於執行處理器之區塊資料移轉指令之方法，其中在產生該些暫存器編號(ID)步驟中，包括

根據該初始計數值執行一遞減計數之操作，該計數操作係從該初始計數值遞減到 0；以及

每執行一次該計數操作時，則根據該 N 位元之位元值為“1”之位元位置產生該些暫存器編號(ID)。

6. 如申請專利範圍第 4 項所述適用於執行處理器之區塊資料移轉指令之方法，其中更包括根據該解碼資料產生

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

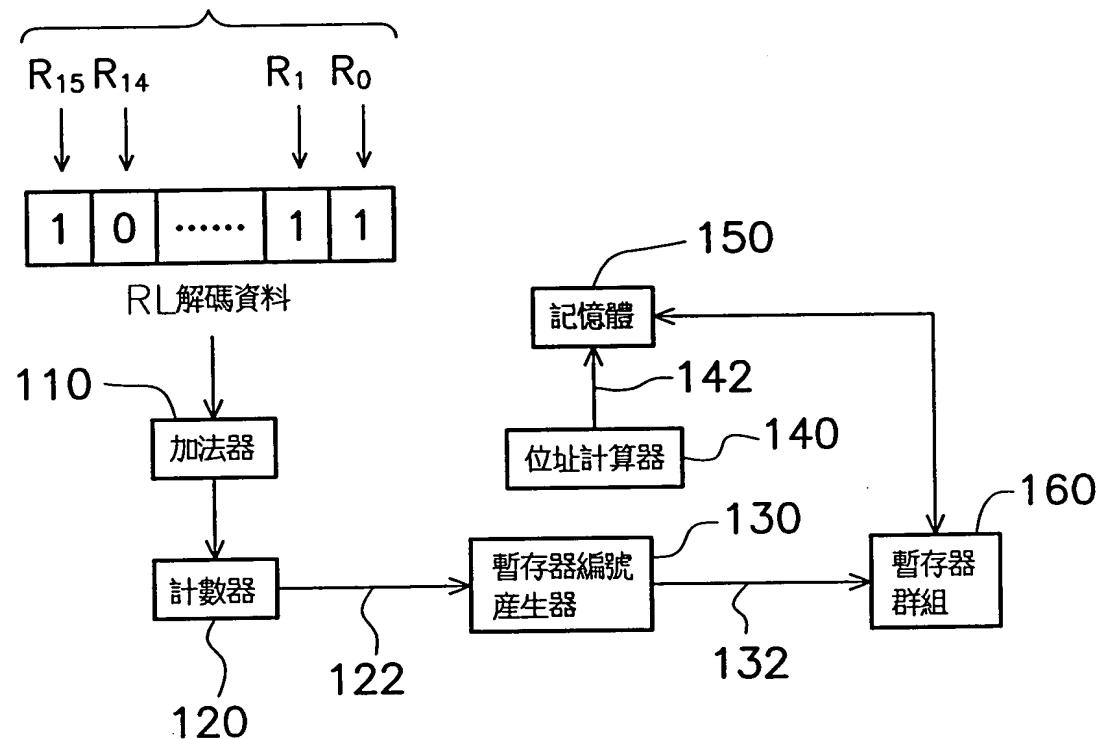
線

六、申請專利範圍

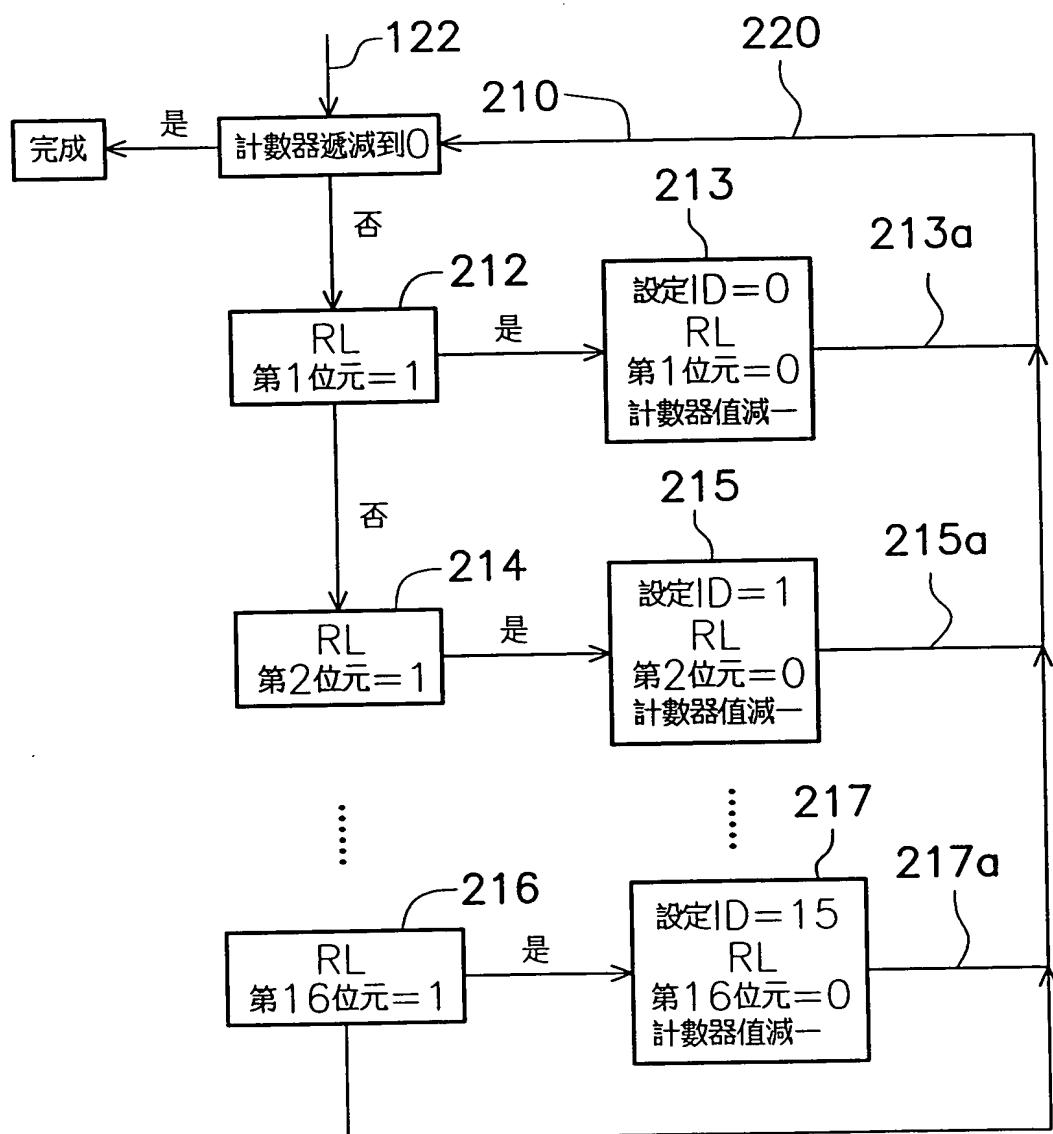
一位址信號，並據以對應於該些暫存器編號之該些暫存器則與該記憶體對應該位址信號之位址相互存取資料。

(請先閱讀背面之注意事項再填寫本頁)

裝訂線



第 1 圖



第 2 圖